

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報(A) 平2-112966

⑬ Int. Cl.<sup>8</sup> 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)4月25日  
 B 41 J 2/485  
 H 04 N 1/40 B 6940-5C B 41 J 3/12 G  
 7612-2C 審査請求 未請求 請求項の数 7 (全28頁)

⑮ 発明の名称 像出力方法及び装置

⑯ 特 願 平1-211205

⑰ 出 願 平1(1989)8月16日

優先権主張 ⑱ 1988年8月16日 ⑲ 米国(US) ⑳ 232,814

㉑ 発 明 者 チャールズ・チエンユ アメリカ合衆国アイダホ州ボイジー ウェスト・デイソ  
 アン・タウン シン・コート 11774

㉒ 出 願 人 ヒューレット・パツカ アメリカ合衆国カリフォルニア州パロアルト ハノーバ  
 ード・カンパニー ー・ストリート 3000

㉓ 代 理 人 弁理士 長谷川 次男

明 細 書

1. 発明の名称

像出力方法及び装置

2. 特許請求の範囲

(1) 下記の(A)ないし(F)のステップを設け、ドット・マトリクス・フォーマットでデジタル化された像を生成する表示装置の表示像向上方法:

(A) 所望の文字の少なくともひとつのビット・マップ像を変わずビット・データ信号を発生する;

(B) 一時記憶手段中に前記ビット・マップ像のM本の連続したライン中のN個の連続したビットをストアして前記ビット・マップ像を定義するM×Nビット・サブセットを形成する;

(C) 予め定められた形状を有し予め定められた個数のビットを含み中心ビットを有するサンプル窓を前記M×Nビット・サ

ブセットから選択する;

(D) 前記中心ビットを含む前記予め定められた個数のビットによって形成されるサンプル窓ビット・パターンを複数個の予め定められた突き合わせビット・パターンと比較する;

(E) 前記サンプル窓ビット・パターンが前記複数個の予め定められた突き合わせビット・パターンの少なくともひとつと一致した場合には前記中心ビットを変更するための変更信号を発生する;

(F) 前記ビット・データ信号中の前記中心ビットを前記変更信号で置換する。

(2) 下記(A)ないし(C)を設け、所望の像のビット・マップ像を変わずビット・データ信号を与える文字発生手段と前記ビット・データ信号にตอบสนองして前記所望の像を表示する像表示手段とを含む表示装置によって生成される表示イメージの向上装置:

(A) 前記文字発生手段に接続された一時記

記憶手段：前記ビット・マップ像のうちのM本の連続したライン中のN個の連続したビットの部分を一時的にストアし前記ビット・マップ像を定義するM×Nビット・サブセットを形成する。前記ビット・サブセットの予め定められた個数のビットは前記ビットのマトリクス位置によって定義される予め定められた形状を有するサンプル窓を形成する。前記サンプル窓は中心ビットを有する；

- (B) 前記一時記憶手段に接続された突き合わせネットワーク手段：前記中心ビットと前記サンプル窓中の残余の隣接ビットで構成されるビット・パターンを複数の予め定められたエラー突き合わせビット・パターンと比較する。前記突き合わせビット・パターンの各々は複数の変更信号のひとつと関連付けられている；
- (C) 前記突き合わせネットワーク手段及び前記像表示手段に接続されている信号発

生手段：前記サンプル窓ビット・パターンが前記複数のエラー突き合わせビット・パターンの少なくともひとつに一致した場合には前記複数の予め定められた変更信号のうちの関連しているものを発生する。前記関連している変更信号は前記ビット・データ信号中の前記中心ビットと置換される。前記像表示手段は前記変更信号にตอบสนองして前記中心ビットに関連した変更された像要素を表示する。

- (3) 下記の(A)ないし(K)を有する電子写真式プリント装置：

- (A) 回転可能なドラム手段；
- (B) 前記回転可能なドラム手段の表面上にマウントされ電子写真処理ステーションを通過して周期的に運動する光導電材料層；
- (C) 前記回転可能なドラム手段に隣接して配置され前記光導電材料層の表面にはほぼ一様な静電荷を置く電荷コロナ手段；
- (D) 前記帯電した光導電材料を選択的に放

電させて前記光導電材料の表面上記に潜像を形成する露出手段；

- (E) 前記回転可能なドラム手段に隣接して配置され前記潜像にトナーを与えて現象された像を作る現像手段；
- (F) 前記回転可能なドラム手段に隣接して配置され前記現象された像を前記光導電材料からプリント媒体に転写する転写手段；
- (G) 前記トナーを前記プリント媒体へ融着させる融着手段；
- (H) 前記プリント媒体を媒体蓄積手段から前記転写手段を経由して前記融着手段へ順次移送する移送手段；
- (I) 前記露出手段を動作させる制御手段；
- (J) 前記制御手段に接続され前記光導電材料上に生成されるべき所望の像を表わすデータ信号を与える文字発生手段；
- (K) 下記の(a)ないし(c)を有し前記制御手段と前記文字発生手段の間に挿入

され前記データ信号のうちの選択されたものと置換されるべき補償信号を発生しもって前記置換されたデータ信号から生成された像は視覚上の品質が向上するようにした向上手段；

- (a) 前記文字発生手段に接続された一時記憶手段：前記データ信号のうちの前記所望のイメージの一部を表わすサンプル・パターンを形成する部分を一時的に記憶する。前記サンプル・パターンは中心データ信号を有する；
- (b) 前記一時記憶手段に接続された突き合わせネットワーク手段：前記サンプル・パターンを複数の予め定められたテンプレート・パターンと比較する。前記予め定められたテンプレート・パターンの各々は複数の補償信号のひとつと関連付けられている；
- (c) 前記突き合わせネットワークに接続された信号発生手段：前記サンプル・

パターンが前記予め定められたテンプレート・パターンのうちの少なくともひとつと一致した場合には前記複数の補償信号のうちの前記関連付けられたものを発生する。前記関連付けられた補償信号は前記データ信号中の前記中心データ信号と置換される。

(4) 下記の(A)ないし(D)のステップを設け、走査された入力データから導かれる表示像の向上方法:

- (A) なめらかなへりの曲線、鋭い先端および刻み目のような既知の特徴的な曲率を有する複数の像変換部を表わすデジタル・データのビットをストアする;
- (B) 前記既知の特徴的な曲率を表わしても表わさなくてもよい入来デジタル・データを読み取る;
- (C) 読み取られたデジタル・データを前記ストアされたデジタル・データと比較する;

(D) 前記既知の特徴的な曲率を表わすデジタル情報だけを前記特徴的な曲率に変換する。

(5) 下記の(A)ないし(C)を設け、走査された入力データから導かれる表示像の向上システム:

- (A) なめらかなへりの曲線、鋭い先端および刻み目のような既知の特徴的な曲率を有する複数の像変換部を表わすデジタル・データのビットをストアする手段;
- (B) 前記既知の特徴的な曲率を表わしても表わさなくてもよい入来デジタル・データを読み取る手段;
- (C) 前記ストアする手段及び前記読み取る手段に接続され、前記入来デジタル・データとストアされたデジタル・データのビットとを比較し、これにより前記既知の特徴的な曲率を表す入来デジタル・データを前記特徴的な曲率に変換するために有用なカラー信号を発生する手段。

(6) 下記の(A)及び(B)のステップを設け、

像変換部を読み次いで前記変換部の輪郭を再構成するセルをプリントすることによる像再生方法:

- (A) 前記変換部の形に基いてセル・パターンを展開する;
- (B) 各セルの配向とインクの均整を制御し以てはじめに展開されたセル・パターンを再構成して前記変換部の形と輪郭に更に精密に従わせる。

(7) 下記の(A)および(B)を設けたイメージ再生システム:

- (A) 像変換部を読み前記変換部の形に基いてインク・セル・パターンを展開する手段;
- (B) 前記手段に接続され、各セルのインク均整および配向を制御してはじめに展開されたセル・パターンを再構成し、もって前記像変換部の形と輪郭に更に精密に従うようにする手段。

### 3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、電子写真式プリンタのようなドットマトリックス・プリンタに用いられるプリント像質を高める技術に関するものであり、とりわけ、デジタル化された標準的なビットマップをセル毎に(小片単位で)あらかじめ記憶されている所定のパターンと突き合わせて、補償プリント信号を発生し、合成による、高解像度で、質の向上したプリント像が得られるようにすることに関するものである。

〔従来技術およびその問題点〕

一般に、ノンインパクトプリンタは、紙のようなプリント媒体に一連の画素、ピクセルすなわちドットをプリントすることによって、プリント像を形成するように設計されている。例えば、レーザ・プリンタのような電子写真プリンタの場合、所望の像は分離した走査線で光電性材料の荷電表面を走査する光源によって形成できる。各走査線は、ピクセル領域に分割され、光線やレーザ・ビームは変調されて、あるピクセル領域は、

光にさらされ、~~又~~他のものはさらされず、その結果として、各走査線毎に所定の一連の重なり合ったピクセルができる。ピクセル領域のどこかにレーザ・ビームが照射されると、その光電性材料が放電される。このようにして、光電性材料には、プリントされているすなわち再生されている対象の像を形成するピクセルの電荷パターンができる。ここで、プリントの仕上りは、荷電パターンを現像し、現像した像をプリント媒体に転写することによって得られる。

ドット・マトリクス・プリンタによって生じるプリント像は、所望のアナログ像のデジタル化すなわち量子化された像であり、ビット・マップ像と呼ばれることもある。アナログ対象はデジタルビットマップ像によって正確に表わすことはできない。アナログ像の成分はどの方向へも連続的であってもよいが、ビット・マップ像の成分は直交する増分的ステップで形成していかなばならない。この制約のため、アナログ像をビット・マップ表現するとそれ<sup>こに</sup>ゆがみが生じる。ビット・マップ

像は一般に所定の(空間的)パターンに構成された多数の離散的ピクセルつまりドットから構成される。各ドットは位置座標、明度、色、及びサイズといった特性を持つ。各特性は他の特性から独立しており、独立した次元とみなすことができる。

ドット・マトリクス・プリンタによって得られるビット・マップ像の解像度は、一般に単位長当りのプリントされるピクセル数すなわちドット数によって表わされる。例えば、インチ当りドット数(dpi)が300のプリンタは、240dpiのプリンタに比べて解像度が高い。水平な行方向に300dpi、垂直な列方向に300dpiのプリンタの解像度は、 $300 \times 300$  dpiである。走査方向に対して水平または垂直方向に $300 \times 300$  dpiの解像度でプリントされた線は、プリントによるひずみをほとんど視認することができない。しかし、プリンタ・ドットの異なる領域間の対角線や境界線は、人間の眼にとって極めて明らかな、ぎざぎざのステップまたは階段状のゆがみを生ずる。

ビット・マップ表現におけるゆがみは、ビット

・マップの解像度が低いためまたは所望のアナログ像のサンプリングレートが低いために起る。このゆがみを減少させるための一般的アプローチは、一定のサイズの像中のドット数を増す~~す~~すなわちドット・サイズを縮小して空間的解像度を高くすることによって、ビット・マップ像の解像度を高くするというやり方であった。解像度が高くなると、ステップ状ゆがみのサイズが縮小し、かつ低解像度の場合には失われる~~又~~微細な部分が保存される。しかしながら、解像度を高くするには、費用がかかる。処理し記憶すべきデータ量は、ビット・マップ中のピクセル数すなわちセル数に比例する。例えば、 $300 \times 300$  dpiの2次元ビット・マップの解像度を倍にすると $600 \times 600$  dpiのビットマップが得られるが、この場合4倍のメモリと処理能力が必要になる。さらに、この解像度の高められた像の表示が可能で、例えば陰極線管(CRT)やプリンタといったビット・マップ像出力装置を用いなければならないが、これによってさらにコストが増大する。明度レベルまたは色についても解像度

を高める必要がある場合には、コストがいっそう増大する。多くのさらに精巧なハイエンドのプリンタにはこの解決法が利用されているが、低コストのローエンドのプリンタにとっては実際的な解決策とはいえない。

デジタル化処理によって引き起されるゆがみを減少させる目的のアプローチでは、補間技法を利用して、ぎざぎざになったエッジの突き出た角をつないで連続したスロープにするか、あるいは隣接するドットの明度を平均してぎざぎざになったエッジをばやけさせる。単純な補間法を使ったのでは、ぎざぎざになったすなわち階段状のエッジはなめらかになり、ビットマップ像そのままのものに比べると一般により許容できる結果が得られるが、デジタル化によって生じたもの余計な高調波ノイズに劣らず混乱を生じる多くの副作用がある。例えば、グレー・スケール・減アンチエイリアシング法を使えば、エッジのぎざぎざの出入がぼかされてなめらかにはなるが、コントラストが犠牲になる。とがった形状が平均化されてなめ

らかになるが、細かな形状も取り除かれてしまう。すなわち、補間によってつないでいくという処理は、ビットマップ変換であるデジタル化処理による初期のデータ損失の後でさらにデータ損失を生じさせてしまう。

1986年11月25日にBassetti他に対し発行された "Interacting Print Enhancement Techniques" と題する米国特許第4,625,222号には、細線幅拡大として知られる技法によって、デジタル化による階段状効果をなめらかにするための技法が開示されている。平滑化の機能を果たすため、斜線を形成する黒のドットに隣接して、この斜線の両方のエッジに沿ってグレーのような中間の可視レベルのドットを生じさせる。幅拡大機能のため、走査方向と平行な次元に、黒のドットにすぐ隣接してグレーのドットを付加し、他方走査方向と垂直な次元で拡大された黒のドットが生じる。平滑化と拡大というプリントの質を高める技法を組み合わせる場合にはさまざまな相互作用について考慮され、ある場合には質の向上したドットを生じる

信号が禁止されることもある。1985年10月1日にBassetti他に対し発行された、"Fine Line Print Enhancement" と題する米国特許第4,544,264号には、細線の少なくとも片側の黒のドットにグレーのドットを隣接させることによって、ブリックの走査方向と平行な方向の細線のプリントの質を向上させる技法が開示されている。走査方向に対し垂直な方向の細線については、通常のドットに比べて、ドット変調の時間期間を通常のドットに比べて所定の量だけ増すことによって、その幅を拡大する。これによって、細線のサイズが増す、すなわちその幅が拡大される。プリントの質を高める技法を実現し、文字発生器とプリンタのレーザ・プリントヘッドの間に挿入される回路について説明されている。上記米国特許に開示のプリントの質を高める技法は線幅拡大技法を用いているが、それによって生じる像では細部が失なわれてしまったエッジ形状がはっきりと結像されない。

1985年10月1日にWatanabe他に対し発行された、"Smoothing Circuit For Display Apparatus"

と題する米国特許第4,544,922号には、ドット・パターンの特定の部分に対し、選択的に幅が標準的なドット幅の1/3の小さなドットを付加したり、あるいはその特定の部分から前記小さなドットを除去することを含む平滑化技法が開示されている。また、表示装置用の平滑化回路として、表示すべき文字を変換すドット・マトリックスのうち選択された標準的な幅のドットから構成されるデータを記憶するメモリ手段と、そのデータにตอบสนองして所定の条件を満たす論理演算を行なうことによって、考慮されているマトリックス位置における、幅が標準的なドット幅の1/3の小さなドットの付加または除去に対応して選択的にデータ変更を行なう論理演算回路手段を含んでいる回路が開示されている。選択的に変更されたデータは、比較的輪郭のなめらかな所望の文字を変換している。

もっと最近の出願では、パターン認識またはテンプレート突き合わせ処理が実現されている。これらの技法において、テンプレート突き合わせは重み付きマトリックス演算子として実現される。

この演算子は、任意のビット・マップ像の全ての位置に渡って乗算されて、ビット・マップ像と比較されるテンプレートまたはパターン間の係数の相関を得る。これら複雑なマトリックス計算によって、コントラストのはっきりとした、はっきりと結像したまたダイナミックレンジが拡大されたプリント像を得ることができる。像の細部における特徴を失なうことなく、バックグラウンド・ノイズ(空間不変)を選択的に排除することができる。しかしながら、この複雑な処理は、極めて、ハードウェア集約的であり、非常にコストが高つくため、その用途は軍隊または宇宙研究組織によって利用されるリモート・センシング処理に制限される。

#### (発明の目的)

本発明の目的は上述の従来技術の問題点を解消し、ドット・マトリックス像を高品質かつ低コストで出力することにある。

#### (発明の概要)

本発明の一実施例によれば、ビットマップと、

所定の記憶されているテンプレートまたはパターンとを小片毎に突き合わせること (Piece-wise matching) により、あらかじめ選択されたビット・マップの特徴があるのを検出するようにして、ビット・マップ像のプリントの質を高める。この突き合わせで一致が起る毎にエラー信号が発生し、補正または補償ドットすなわちセルを作って一致が起ったビット・マップセルを置換するようにする。このようにして、所望のビット・マップ像は、元のビット・マップ像において、小片毎にまたはセル毎に、あらかじめ選択された特徴を持つセルをエラー補正したサブセルで置き換えることによって、そのプリント像の質が高められる。全てのビット・マップ像に共通した複合エラー要素を扱っている経験的に導き出されたビット・パターンすなわちテンプレート、各テンプレートに関連した補償信号、及び一致をみたテンプレートとそれに関連した補償信号との関係を支配するルールが、高速並列論理アレイによって実現した~~×~~インデックス突き合わせ表にまとめられている。

トパターンは突き合わせネットワークに通される。突き合わせネットワークが1つもしくは複数のテンプレート一致を見出すと、関連する補償サブセルで中心セルを占めているビットを置換する。一致が見出されなかった場合には、中心ビットは不変のまま出力に現れる。一致したとき、同一の補償サブセルを生じる全てのテンプレートがいっしょにORされる。従って、ORをとられたグループ中のテンプレートの1つがサンプリング窓ビット・パターンと一致すると、それに関連する補償サブセルの出力が活性化される。出力コントローラ (補償サブセル発生器) はレーザ制御回路素に結合されるべき出力に対して、無修正の中心セルを、あるいは突き合わせ論理ネットワークが一致を検出した場合には補償セルを送る。補償サブセルは標準の修正されていないビット・マップのドットよりも小さなドットをプリントする。レーザ・ビーム・プリンタに対し水平方向及び垂直方向の補正技法を用いることによって、水平方向及び垂直方向に、無修正のドット・

このプリントの質を高める技法は、文字発生器回路要素 (フォーマッタ) と、レーザ・ビーム・プリンタの走査レーザのようなノンインパクト・プリンタのプリント・メカニズムの間に挿入される回路要素によって実現される。文字発生器によって生成されるビット・マップ像のデータは直列化されて先入れ先出し (FIFO) データ・バッファに入力される。FIFOバッファ・ストレージ・セルのある固定のサブセットがサンプリング窓を形成している。このサンプリング窓を通してビットマップ像データの選択されたブロックが観測される。直列化データがこのバッファを遡ってシフトし続けていくにつれて、この窓の中心セルとそれを囲む隣接セルに位置するビット・マップ・セルによって形成されるビット・パターンがこのサンプリング窓を介して次々に観測される。ビット・マップ像セルを問わずデータの各ビットはサンプリング窓の異なる位置を数ステップにわたって通って中心セル位置に達する。中心セルを占めるビットとそのまわりのビットによって形成される各ビッ

サイズより小さい距離だけ歩進させることが可能になる。出力コントローラは、レーザが補償サブセルに関連した修正ドットをプリントするのに必要なパルス変調信号を発生する。この技法を用いることによって、直接の補正領域における実効解像度が、元来発生されたビット・マップ像の有効解像度よりも高いプリント出力が得られる。

テンプレート突き合わせによって実現されるところの、小片毎に像質を高めるこの技法によって、各ビット・マップセル毎に独立したテスト及び補償を行なえるようになり、他方セル間の相関関係は維持される。この処理は、ビット・マップ像の故障許容性及びビット・マップ像の丸め誤差特性の一貫性を利用したものである。従って、別個に補償された一連のエラー・セルは、統合されて連続した補償済みの複合エラー要素 (Compound error element) を形成する。このアプローチによれば、ユニークでより融通性のあるテンプレートのセットを開発し、特殊な場合を含める拡張を行なうことが可能になるだけでなく、極めて複雑な複数パ

ス像処理演算を単純で並列の実時間ハードウェアで実現された高速インデックス突き合わせ表によって実現される比較的単純で反復可能でありあらかじめ割り当てられる突き合わせ処理に受えられる。ビット・マップ像のプリントの質を向上させるための他の技法に比較して、本発明の小片毎の突き合わせ処理の場合には、記憶スペースや像の処理能力をあまり大きくしなくても、精密な質の向上がもたらされる。

#### (発明の実施例)

本発明はレーザ・ビーム・プリンタのような電子写真式プリンタに適用されるものとして説明を行なうが、もちろん本発明は熱インクジェット・プリンタやCRTといった、他のドット・マトリクス表示装置にも適合するものである。(本願においては「表示」とはソフトコピーとハードコピーのいずれの意味にも用いていること<sup>を</sup>注意して<sup>よ</sup>め。)ドット・マトリクス・プリンタでは、各文字はセルのマトリクスから構成されており、ドットは充填されたセルでありまたブランクは空の

セル<sup>で</sup>あり、これらはいっしょになって所望の文字を形成する。ドット及びブランクは一般に、隣接し平行で均等に間隔をあけて水平方向の行と垂直方向の列をなすように構成されたマトリクスの位置に配される。行と列の交点がセル、ドット及びブランクの位置を決める。マトリクスの交点とセルの直径との間隔によっては、セルが重なり合うこともある。各々マトリクスは表示装置に2進データ要素で表されるが、一般に2進数の1はドットすなわち充填されたセルを表わし、2進数の0はブランクすなわち空のセルを表わしている。この装置に記憶されて、1つまたは複数の所望の文字つまり文字セットを表わすデータは一般にビットマップまたはビットマップ像として知られている。こうしたビットマップはアナログ文字のデジタル表現とみなすことができる。レーザ・ビーム・プリンタのような電子写真式プリント装置では、受光表面に静電気表現による所望の像を形成し、その像を現像し、さらに、紙のようなプリント媒体にその像を融着させることによって、プリ

ントが行なわれる。レーザ・ビームプリンタによるプリントでは、1ページ分のプリント出力を得るのに、いくつかの異なるテクノロジーによる相互作用が必要になる。通常ボンド紙や、受光材料をコーティングしていないその他の受像媒体を利用するプリンタでは、プリント処理は回転式感光性ドラム上での像形成を中心に行なわれる。

ここで、第1<sup>A</sup>図、第1<sup>B</sup>図及び第1<sup>C</sup>図を参照すると、典型的な電子写真式レーザ・ビーム・プリンタを示すブロック図が例示されている。感光性ドラム11はモータ(図示せず)によって方向Aに駆動される。感光性ドラム11は、一般に、有機光導電性材料の層でコーティングされた、押出しアルミニウムのような金属シリンダである。プリント処理の間、感光性ドラム11は絶えず回転しており、1ページプリントする毎に、数回完全に回転することもある。プリントの所与のセクションについて像を形成する前に、物理的かつ静電的に感光性ドラム11を清浄化することによって、所望の静電像の保持に備えてドラムの静電表面13に

前処理を施さねばならない。物理的清浄化は、ゴム製のクリーニング・ブレード12で、前のサイクルから残存しているトナーを感光性ドラム11から廃物用キャビティ内へこすり落とすことによって行なわれる。さらに、感光性ドラム11は、消去用ランプ14でドラムの光電性材料を照射し、感光性ドラム11に以前から存在しているかもしれない電荷を中性化することによって、静電的に清浄化される。感光性ドラム11の清浄化された静電表面13は次に均一な負の電荷を付与することによってコンディショニングが施される。感光性ドラム11が回転して、電荷コロナ発生器(charge corona generator)16によって生じるイオン化領域を光電性材料が通過すると、負の電荷がコロナ発生器16から感光性ドラム11の表面に移動する。感光性ドラム11が回転して電荷コロナ発生器16を通過した後では、感光性ドラム11の静電表面13は600ボルトの均一な負電位を持つ。書込みの間には、レーザ・ビーム17を利用し、感光性ドラムの静電表面13の選択された部分にレーザ光の焦点を合わせる



ことによって、選択された領域におけるドラム11の表面電位を放電させる。こうして静電像が形成され、これは後で可視像に現象されて、プリント媒体に転写される。

レーザ・ビーム17は、電力を供給したり供給を停止したりするだけで、オンになったり、オフになったりする固体レーザ19によって発生する。ダイオードつまり固体レーザ19によって発生するレーザ光は、コリメータ・レンズ21で平行化されて、輪郭のはっきりしたビームとなり、円柱レンズ25で走査ミラー23上へと収束される。走査ミラー23は6面からなる回転多面鏡であり、スキヤナ用モータ27によって定速回転する。走査ミラー23の回転につれて、レーザ・ビーム17が、矢印Bで示すアーチ状の方向に掃引を行なう。集束レンズ31とミラー33によって、ドラム11の感光性の表面13における水平線に、掃引するレーザ・ビーム17の焦点が合わせられる。

レーザ・ビーム17は、方向Bの向きに感光性ドラム11の長さだけ掃引するので、また感光性ドラ

ムは11方向Aに回転するため、感光性ドラム11の全表面13がラスター像でカバーされる。走査ミラー23を回転させるスキヤナ用モータ27の速度及び感光性ドラム11を回転させる主モータの速度は、レーザ・ビーム17は次掃引1回毎に約84.7ミクロン(300分1インチ)ずつ感光ドラム11の表面でずれるように同期がとられている。固体レーザ19もオン、オフが可能であり、これによってライン29に沿った水平方向において約84.7ミクロン(1/300インチ)毎に光のドットを当てる速度でレーザ・ビーム17に変調がかけられ、その結果インチ当たりドット数(dpi)が300×300の解像度が得られる。各掃引の開始に当たって、レーザ・ビームがドラム11に達する前に、レーザ・ビーム17はビーム検出ミラー35で反射されて光ファイバ37に送り込まれる。この瞬時的な光パルスは光ファイバ37によって直流コントローラ39に送られ、そこで電気信号に変換される。この電気信号はある掃引(走査線)についてのデータ出力と他のデータとの同期をとるのに利用されたり、他のプリンタ制御及

びテスト機能に利用される。

書き込みがすむと、感光性ドラム11の光電性表面13には不可視の静電潜像が形成される。レーザ・ビーム17にさらされなかったドラムの表面13部分には、まだ600ボルトの負電位が存在するが、レーザ・ビーム17にさらされた部分は今では放電により約100ボルトの負電位になっている。書き込み後、静電像はドラムの表面13上の可視像に現象される。

現像ステーションでは、トナーと呼ばれる現像剤が静電像に乗せられる。トナーの材料は、鉄の粒子に結合された黒い合成樹脂から作られた粉末状の物質である。トナー中の鉄によって、シリンダの長さにあわせて延びる永久磁石(図示せず)を備えた金属製の回転シリンダ20に対してトナーが吸引される。プラスチックのトナー粒子18は、負の直流電源に接続された回転シリンダ20にこすりつけることによって、負の表面電荷を得る。トナーが得たこの静電荷は、トナー粒子18がレーザ光に露出されたドラムの表面13の領域には吸引さ

れるが露出されなかった表面領域からは反発されるような静電荷である。

転写ステーション24では、ドラムの表面13のトナー像がプリント紙22で転写される。プリント紙22は感光性ドラム11の表面速度と同じ速度で進行しドラム表面に接触する。コロナ・アセンブリ28は、プリント紙22の裏面に蓄積する正の電荷を発生する。紙の正の電荷が強まると、感光性ドラム11の表面13から負に帯電したトナー粒子18が引き離される。静電荷除去器32は負の電荷を有するドラム表面13と正の電荷を有するプリント紙22の間の吸引力を弱めて、プリント紙22が感光性ドラム11に巻きつくのを防止する。プリント紙22は転写ステーション24から融着ステーション26に移動し、感光性ドラム11は回転して消淨ステーションに達して次のプリント・セクションを受け入れる準備をする。

融着ステーション26においては、熱と圧力によってトナーが融解してプリント紙22に押しつけられ、永久的なプリント像が形成される。融着ステ

ーション26には、高輝度のランプ36によって内部加熱される非粘着性の加熱ローラ34と、圧力を加えると、わずかに縮んでプリント紙と上部にある加熱ローラ（すなわち融着ローラ）34との間の接触面積が大きくなる軟らかい加圧ローラ38が設けられている。この地点で、プリント紙22に堆積したトナー粒子18が熔融して紙の繊維に押し込まれる。

直流コントローラ・プリント回路アセンブリ（PCA）39はプリンタ制御システムであり、プリント処理にかかわる全ての活動の統合を担当する。直流コントローラ39はレーザ・ビーム17を駆動する制御信号を発生して、インターフェースPCA41からのドット・パターン・データと、紙のサイズ、感度及びレーザ・ビーム運動に関する情報との調整を行なう。

インターフェースPCA41には、インターフェースPCA41の動作を制御する中央演算処理装置（CPU）と、所望の文字セットのドット・パターンすなわちビット・マップ像を記憶するための読取り専用

メモリ（ROM）のブロックが含まれる。追加ビット・マップ像のデータを追加ROMカートリッジに記憶しておくことができる。インターフェースPCA41はプリンタとパーソナルコンピュータのような外部デバイス431との間での、プリンタ制御パネル433（第5図に示す）で選択された構成セッティングによって確立された通信を正しく行なうことを担当する。従って、制御パネル433のセッティングまたはプリンタのコマンドに従って、外部デバイス431からのコード化データが処理されてドット・データに変換されて、レーザ・ビーム17を変動する。

上述のように、所望の文字及び図形に関する実際のデータすなわちビット・マップ像はインターフェースPCA41中のメモリ（ROM）にストアされ、追加文字セットは追加ROM（プラグイン）フォント・カートリッジによって供給される。インターフェースPCA41に含まれたビデオ回路は文字及び図形データつまりビットマップ像を、固体レーザ19を駆動する直流コントローラ39に出力されるドッ

ト・データに変換する。アナログ文字をデジタル・ビット・マップに変換するプロセスで生じるエラーつまり誤差を補償するため、必要なところでは、これらのビデオ信号は補正または補償信号によって修正される。

ここで第2図、第3図及び第4図を参照すると、第2図に示す文字“8”50、第3図に示す傾斜した直線70及び第4図に示すイタリック体の英字“i”といったビット・マップ像は皆、円51で指示されたステップ状の垂直エッジのような多くの小部分に分解することができる。これら各ステップ状エッジ・エラーは3つの垂直方向のドットから構成されるので、このエラーは3:1の合成エラー要素（3:1 Compound error element）とみなすことができる。これら3対1の複合要素3:1は、数多く反復でき、また互いに対称な8つの可能な配向をとることができる。3:1の複合エラー要素の第2の例は、円53で示され、文字“i”の水平方向の先端を形成する3つの水平方向のドットからなるグループである。これらの複合エラー要素は、なめらかなエッ

ジ・カーブ部分（円51）でも、とがった部分（円53）でも、任意のビット・マップ像の他の部分でもよい。これらの複合エラー要素は全てのビット・マップ像のための基本的な構成ブロックである。それらは2:2、5:1、または、第3図の71で示すような6:1といった他の特殊な形をとることも可能である。全てのビット・マップ像は、これらの複合エラー要素の有限のセットから構成される。さまざまな複合エラー要素は、ねじれたエッジ、丸み先端、充填されていない谷、または方形の丘といったタイプによって分類される。単一の複合エラー要素は、単一セグメント（1つのマトリクス・セルすなわちドットの寸法）から連続した20のセグメントに及び長さ<sup>10</sup>にわたるエッジの境界をカバーすることができる。複数のセグメントを持つ複合エラー要素はさらに小さな部分に分割することができる。

垂直的な斜線70は、それぞれが、その上の複合エラー要素のすぐ下で、かつその右側へマトリクス・セル1つ分だけずれた位置に置かれた、複数

の垂直方向に向けられたセグメント6つの分の長さの複合エラー要素から構成されている。各複合エラー要素71は6つのエッジ・セルを持っている。そのうちの中心の2つのエラー・セルは丸め誤差が少なく修正の必要はないが、複合エラー要素71の両端にあるドット対中の各ドットは、階段状の斜線70を平滑化する修正が必要とされる。例えば、ドットすなわちエラー・セル72に必要とされる修正はドット72の左側から一部を除去すなわち切り取ってドット72の右側に加える。すなわち充填する（すなわち隣接するブランク・セルの一部に充填する）ことである。複合エラー要素73は、複合エラー要素71の各ドットすなわちエラー・セルに施される修正を明らかにするために拡大し複合エラー要素71である。実際に、エラー・セルのどちらかの側に充填するというエラー・セル72に対する修正は、エラー・セル72にすぐ隣接したブランク・セルつまり空のセルの一部に充填することである。複合エラー要素71に対する平滑化補償は、複合エラー要素71の上端と下端にある対中の各エ

ラー・セルについて行なう切り取り及び充填補正からなる。8つの独立した補正を必要とする。8つのパターン突き合わせテンプレート77、79、81、83、85、87、89及び91は、丸め誤差をともなって各セグメントについて生じる。ユニークなエラー・セル編成すなわちパターンを検出することが必要とされる。複合エラー要素75は、複合エラー要素71の各エラー・セルに対する充填及び切り取りを示す複合エラー要素73の拡大図である。テンプレート77、79、85及び87は充填修正を与え、一方テンプレート81、83、89及び91は切り取り修正を与える。複合エラー要素73に示されるように、プリント結果は、上部のドット対74がわずかに左にシフトし、下部のドット対76がわずかに右シフトして、これにより斜線70の階段効果が平滑化される。この例から分るように、複合エラー要素の各ドットすなわちエラー・セルとテンプレートのセットとの突き合わせによって、必要とされるかもしれない適正な修正が決定される。

パターン突き合わせテンプレートのそれぞれは

デジタル化エラーのユニークなビット・マップ・ジグナチャ（bit map signature）と一致し、補償または補正信号に関連した適切な補償サブセルが割り当てられている。ある複合エラーについての諸々の突き合わせテンプレートは、別々に（in secession）生じるので、これらのテンプレートに割り当てられる補償サブセルは一緒にまとまるように設計されている。特定の補償補正信号に関連したこれらのテンプレートのグループは、他のどのテンプレートのグループとも相互に排他的である。ランダム・ビット・マップ・パターンは多くのテンプレートに一致するかもしれないが、これらのテンプレートは全て同じグループに属しており同じ補償信号を発生する。テンプレートに一致するこれら基本的事例のそれぞれは、エラー・セル成分またはエラー・セルと呼ばれる。

本発明の質向上技法はビット・マップ像に対する階層的アプローチを用いる。ここで、トップ・レベルにあるのは、複合エラー要素からなるビット・マップ像自体である。これら複合エラー要素

はエラー・セル成分から構成される。各エラー・セル成分はそれに割当てられた補償サブセルを有している。他のエラー・セルと隣接するかもしれないエラー・セルの全てには、互いになめらかにつながり合わせる補償サブセルが割り当てられている。これらのエラー・セルは、関連する補償サブセルに基づいて、相互にまた排他的にグループ化されている。ビット・マップ像から複合エラー要素へ、さらにエラー・セル成分へと縮約し、また各エラー・セル成分に対して適合する補償サブセルを割り当てる複雑な手順は、突き合わせテンプレートの設計によって成し遂げられる。これらの複雑な多段決定は、ハードウェアによって、実時間で実行されるテーブル・インデックス突き合わせ操作へと更に簡略化される。エラー・セル要素は像ゆがみから独立した成分であるため、ある特定の複合エラー要素から導き出されるテンプレートは、別の複合エラー要素から導き出されるテンプレートと同じになって同じ補償を与えることがある。これにより、テンプレート・インデックス突き

合わせテーブルの複雑さが大幅に軽減される。

各エラー・セル成分は全ての複合エラー要素とは独立している。補償サブセルの内部従属制約 (inner dependence constraint) である全ての可能な結合関係はすでに最終的な突き合わせテンプレートの仕様に取り込まれている。ビット・マップ・パターンがテンプレートの全ての要件に合致する場合、セルが曲線、傾斜またはノッチのいずれの複合エラー要素の一部であるかを知らなくても、またそのまわりのセルにどんな補償サブセルが割り当てられているか分からなくても、補償を行なうための決定を下すことができる。突き合わせテンプレートの設計は、隣接するエラー・セルが適合する補償サブセルの割り当てを受けていることを保証するようになっている。ビット・マップ像全体に対するテンプレート突き合わせプロセスは小片毎に (Segment-wise)、すなわち右から左、上から下あるいは任意のランダムな順序でセル毎に行なうことができ、しかもどのようにしても同じ結果が得られる。

得られるビット・マップ像は、特殊な設計を施されたテンプレートのグループを利用することによって、検出し、補償することができる区別可能なシグナチャを持っている。第2図には、55で示す黒い領域の先端を検出し、復元するために用いられるテンプレート59、61及び63のセットが示されている。テンプレート61は、2つのエッジが鋭角に交差する場所である先端の複合エラー要素53を検出する。この場合、形状の丸め誤差はエラー・セル54においては平均して+25%になる。従って、このテンプレート61に割り当てられた補償サブセルは、エラー・セル54の領域を切り取り、先端55の補外方向の傾向によって決まる方向にエラー・セルのエッジを引っ込める。サンプリング窓がセル1つ分だけ右の位置へ移動すると、その中心は、エラー・セル54にすぐ隣接したエラー・セルの位置にくる。このエラー・セルは空すなわちブランクである。このセルにおいては、形状の丸め誤差は平均して-25%である。従ってテンプレート63には充填補償サブセルが割り当てられ、そ

各テンプレートは、ただ1つの中心エラー・セルと関連する補償サブセルを持っているが、サンプル・サイズが許すかぎりの数だけ、任意に定義される突き合わせビット・マップ・パターン・セルを持つことができる。これによって、ビット・パターン仕様セルを、既存のテンプレートに簡単に付加したり、除去したり、あるいは変更して、事例の特別なサブセットを選択または排除することができる付加テンプレートを変更したり形成したりすることが可能になる。この融通性によって、例外的な複合エラー成分を扱うテンプレートの開発が可能になる。独特な補償を必要とすることがありあるいは補償に制限を加えることのある特殊なビット・マップ像特徴または特性は、例外的な事例とみなされる。

なめらかなエッジ曲線に加え、とがった先端やノッチももとのアナログ像に見られる別の共通した特徴である。デジタル化処理の際、先端やノッチの幅がセル1個分の長さよりも狭くなると、先端は切り取られ、ノッチは埋められる。その結果

の結果、先端55の補外方向に充填補正が行なわれる。

もとのアナログ像の黒い領域中にあるとがったノッチ57または91は隣接する白の領域中でのとがった先端として認められる。しかし、白い紙の上に黒のトナーを堆積させるレーザ・ビーム・プリンタの特性のために、狭い白領域は隣接する黒領域が重なり合って埋没してしまう可能性がある。白の領域からできている。先端は黒の領域の場合と同じやり方では補償されない。ビット・マップ像の生成は、この効果を予測していないかもしれないし、補償することもできない。多くのビット・マップ像構成には、正しくプリントすることができない。例えば、"b" 90における<sup>3</sup>ノッチ91 (第4図に示す) のような、いくつかの黒のセル (ドット) によって囲まれた白のセル (ブランクすなわち空のセル) が含まれている。テンプレート93及び95は、こうした場合にまわりの黒の領域を切り結めることによって、黒の領域の中へのノッチすなわち白い先端を予測される所望の形状に

復元するように設計されている。黒い先端55について上述した方法と同様にして、白い先端を延長すなわち補外することで、所望のアナログ像をより正確に表現することが可能になる。

上述のテンプレートの突き合わせにより質を高める技法の実現形態は、少なくとも部分的には、その技法を利用する表示装置またはプリント装置によって左右される。出力装置が異なれば、補償の技法も異なることがある。上述のレーザ・プリンタは、各セルが1ビットの(黒/白)パラメータを有する、2レベル2次元ラスター像出力装置である。固体レーザ19は、インターフェースPCA41が直流コントローラ39に与える単一の直列データ変調信号(ビデオ)によって駆動される。

第5図は、本発明に従ってプリント像の質を高めるための、また、第1減図及び第1減図に示すレーザ・プリンタと共に用いられる実施態様を目的とした、回路コンポーネントの配置を示す、レーザ・ビームプリンタのインターフェースPCA41に関するブロック図である。文字発生器411は所

望の文字あるいは図形を与えるために、直列データ信号を与えてレーザ・ビーム17を変調する。文字発生器411からのデータは直流コントローラPCA39のレーザ駆動回路391に与えられる。

レーザ・プリンタのインターフェースPCA41は、ROM415に記憶されたプログラムを実行する16ビットのマイクロプロセッサから成るCPU413によって制御される。ROM415はCPU413が実行すべきマイクロプロセッサ・コントローラ・プログラムを記憶していることに加え、ROM415の主たる目的は、プリント文字セットすなわちフォントのドット・パターンすなわちビット・マップ像を記憶することにある。またテンプレート突き合わせ操作が、ソフトウェアまたはファームウェアによって制御されるテーブル・サーチあるいはルックアップ操作として実施される別の実施例において、ROM415を使ってテンプレート・ビット・パターンを記憶することもできる。フォント・カートリッジ435、437は、さまざまなオプションのフォントについての追加文字セットのドットパターンデータをプ

リントへ供給するプラグイン式ROMカートリッジから構成される。特殊な字体または特注効果のための追加のつまりオプションの突き合わせテンプレートも、オプションのフォント・カートリッジ435、437を介して、文字発生器411及び質向上回路Enhancement circuitry 421に入力することができる。フォント・カートリッジ・インターフェース439はフォント・カートリッジ435、437のコネクタを主データ・バス441にバッファリングする。制御パネル433を介して入力されるプリント・データ構成やページ・カウント情報といった基本的なデータを記憶するため、不揮発性RAM(NVRAM)417が設けられている。スタティックRAM(SRAM)419はCPU413中のマイクロプロセッサ用にアドレス・スペースを追加する。アドレス・コントローラ423はROM415の4つの独立したセクションに記憶されたデータへのアクセスをできるようにするアドレス情報を送り出す。アドレス・コントローラ423は単一のゲートアレイ回路として実現される。外部デバイス431から入力されるプリ

ント情報、フォント情報及びその他の情報を記憶するため、拡張可能なダイナミックRAM(DRAM)425が設けられている。CPU413中のマイクロプロセッサは、必要に応じて、DRAMメモリ・スペースを細区分する。アドレス・コントローラ423はまたDRAM425に記憶されたデータへのアクセスができるようにするアドレス情報も送り出す。DRAM425に対してデータの書き込みまたは読取りを行なうべき時には、タイミング・コントローラ429が必要なタイミング信号を発生し、またDRAM425のためのデータ・リフレッシュ信号も発生する。ビット・シフト427は制御パネル433または外部デバイス431からのコマンドに回答して、プリントされる文字をオフセットしたりまたはオーバーレイするためまたデータを1ビット〜15ビットシフトさせるのに必要なコマンドを発生する。I/Oコントローラ443は、パラレル・インターフェース・コネクタ445を介して外部デバイス431からCPU413へ入力されるデータのタイミングを制御する。I/Oコントローラ443はまた、インターフェース

PCA41 と直流コントローラPCA39 との間の通信のタイミングも制御する。文字発生器411 は、CPU 413 からのコマンドに回答してROM415またはフォント・カートリッジ435、437 に記憶されているビット・マップ像データ直列データ信号の形でレーザ駆動回路391 に対し連続的に出力されるドット・データに変換する。プリントの質を高める技法を実現できるように、直列データ信号を修正または補償するため、文字発生器411 とレーザ駆動回路391 の間にプリントの質を高める質向上回路421 が挿入される。

第6図は質向上回路421 の概念的なブロック図である。例えば、イタリック体の "b" 90 のようなビット・マップ像全体についてのデータが直列化され、先入れ先出し (PIFO) バッファ101 の第1の入力に結合される。ビット・マップ像90は、PIFOバッファ101 中で部分的に再アセンブルされる。PIFOストレージ・セルの固定されたMxN のサブセット107 はビット・マップ像のブロックを観測するサンプル窓109 を形成する。直列化された

データがPIFOバッファ101 中をシフトし続けるにつれて、サンプル窓109 は連続的に中心セル111 とまわりの隣接セルを観測する。

データの各ビットはサンプル窓109 中のさまざまな位置を数ステップかかって通った後、サンプル窓109 の中心セルに達する。この中心ビット111 はそのまわりビット・パターンと共にサンプル窓109 によって観測され、突き合わせネットワーク (matching network) 103 に通される。突き合わせネットワーク03がテンプレートとの一致を見つけた場合には、その中心ビットは割り当てられた補償サブセルで置換される。一致が見い出されなければ、中心ビットは変更を受けずにそのまま出力113 に現れる。バッファリングにより、ビットが、PIFOバッファ101 の入力に現れた時点からそれに関連した補償サブセルが出力113 に現れるまでに、 $(N-1)/2$  ラインと  $(N-1)/2$  ビットの遅延がもたらされる。このビットは、更に  $(N-1)/2$  ラインの間 PIFO バッファ101 内にとどまって、そのビットに後続するこれらのライン中連続する中心ビットに

対して隣接セルとして働く。

小片毎突き合わせ論理ネットワーク103 は、プログラマブル論理アレイ (PLA) で実現される。PCA はAND マトリクス、OR マトリクス及び複数の数項をなす最小項 (min-term) すなわちノードから成る複数の系列を含み、これら系列の各々は突き合わせテンプレートの異なる1つを表している。各AND マトリクス入力<sup>107</sup>はビット・マップ・サンプル窓109 中のセル状態を表している。各最小項はテンプレート・ビットすなわちセルを表しており、対応するサンプル窓のビットすなわちセルと一致するとアクティブになる (論理AND)。同じ補償サブセルが割り当てられた全テンプレートはまとめてORされる。従ってグループ内のテンプレートの1つが入力ビット・マップ・パターン (サンプル窓109 のビット・パターン) と一致すると、それに関連する補償サブセルの出力がアクティブになる (論理OR)。

サンプル窓109 のセルの状態に基づいて特定の補償サブセルが選択されるので、補償サブセル選

択信号は積和関数になる。特定の補償サブセルが必要になる各場合について、テンプレートはサンプル窓109 のセル入力に関する積項としてコード化され、新たな独立した最小項になる。特定の補償サブセルに関する選択信号は、その補償サブセルに関連した積の最小項を全て合計することによって形成される。AND マトリクスの各ノードは、接続されていることもあるし (指定されたビット・マップ・パターン)、オープンのままになることもある。各最小項の出力は、ひとつの行 (ユニークな補償サブセル解) にしか接続されない。サンプル窓109 のサイズによって、AND マトリクスの寸法が決まる。テンプレートの数によって最小項の数が決まり、用いられる補償サブセルの数によって独立したOR項出力の数が決まる。

このマトリクス構造によって、テンプレートの設計は簡単になるだけでなく大幅な融通性が得られる。例外的な事例を扱うには、サンプル窓109 内の全てのビット・セルに依存した極めて複雑なテンプレートが必要となるかもしれない。PLA

は高速並列インデックス突き合わせテーブルと同様の機能を果たす。サンプリング窓109中のビット・マップ・パターンはPLA中を伝わっていく1組の複合した入力信号である。そのデータ経路従って論理機能は、突き合わせネットワーク103中のノードの接続によって決まる。

突き合わせネットワーク103では、もとのビット・マップ像でのゆがみを減少させるためにサンプル窓109の中心セル111が補正を必要とするかどうかの判定を行なう。従って、サンプル窓109の中心セル111は被試験セルであり、サンプル窓109中の近隣セルによって形成されるパターンの環境下で検査される。突き合わせネットワーク103は、もしあるとすれば、どんな補償サブセルが必要かを示す出力信号を送り出す。データがFIFOバッファ101を通過してシフトするにつれて、サンプル窓109を介して、順次からは中心セル111とそのまわりのビット・マップ・パターンが次々に連続して観測され、これにより小片単位の突き合わせネットワーク103内で、各セルが個々にテストされ

ていく。独立した離散的セル補償信号が累積92していく結果、一連の結合された補償サブセルが不連続なビット・マップ像の輪郭を平滑化し、もとの連続したアナログ形状にさらに近くなるようにする。トナー及び融着プロセスの物理的特性のため、最終的に得られる質の向上したプリント像はもとのアナログ像に極めて近似したものになる。

補償サブセル発生器105は、突き合わせネットワーク103の出力信号に応答して、突き合わせネットワーク103が選択した特定の補償サブセルに関連する補償信号を送り出す。補償の必要がなければ、補償サブセル発生器105が、無修正状態の中心セル111をそのデータ出力113に送る。

望ましい実施例では、8つの異なる補償サブセルが用いられる。第7図中で121~135によって表わされた補償サブセルは、無修正のビットマップセルのパラメータに通常許されるところの増加していく離散値の範囲内にある値のパラメータを有している。例えば、標準的な無修正のドットをプリントするには、例えば530マイクロ秒といっ

プリントするには、例えば530マイクロ秒といった特定の時間期間の間、固体レーザ19をオンにしておくが、121で表わした補償サブセルをプリントするには、この時間期間の最初の1/3だけ固体レーザ19をオンにし、この時間期間の残りについてはオフにすることにより、無修正のドットの約1/3のサイズのドットを得る。セル・サイズを縮小することは、通常は、ビット・マップの解像度95を高くすることによって可能となり、その表示には解像度の高い出力メカニズムが必要になる。固体レーザ19の制御信号の変調によって、セルサイズの縮小ができるようになり、これによって小さいサイズを持ち、また所定の形状を得るためにビット・マップセルの選択された部分が充填された補償サブセルが得られる。補償サブセルを用いることにより、そのすぐそばの領域におけるビット・マップの解像度が実効的に高められる。補償サブセル発生器105は、固体レーザ19に対し、第7図に示す補償サブセルのプリントに必要なパルス変調信号を与える。第121~127で表わされて

いる補償サブセルは、上述の標準的なドット時間期間よりも短い期間、固体レーザ19をオンにすることによって作られる。これら補償サブセル127~135で表された補償サブセルは、レーザ・ビーム17の走査の次元に垂直な次元で、トナー濃度の中心線を実効的にシフトさせるさらに複雑なレーザ変調信号によって作られる。こちらの方の補償サブセルは、レーザ・ビームの走査次元に垂直な次元での補償を行う。レーザ・ビーム・プリンタで他の水平方向及び垂直方向の補償技法を持ちいることにより、第7図に示すものと比べて更に小さいまたは異なるサイズのドットをもたらす水平方向及び垂直方向の補償サブセルも可能である。別の像出力装置で同じ目的を達成するために異なる技法を用いてもよい。

ここに記載した望ましい実施例では、FIFOバッファ101、突き合わせネットワーク103及び補償サブセル発生器105は、ハードウェアとハード布線論理回路で実現する。そうするかわりとして、

RAM またはROM に記憶されたテンプレート・セットとそれに関連する補償サブセル・セットを有するソフトウェアまたはファームウェアによって、質向上回路421を実現することもできる。フォント・スケーリング・ソフトウェア・プログラムを用いてプリント像の物理的サイズを拡大すると、ビット・マップ像の実効解像度が低下し、その結果、デジタル化エラーの影響が大きくなる。ここでこれらのエラーを補償するために付き合わせテンプレートにスケーリングヲ施し、スケーリング・ファクタが1よりも大きなところでのプリントの質を向上することもできる。

ここで、第8図、第9図、第11図及び第11図を参照すると、質向上回路421は5つの回路ブロックに分かれる。FIFOバッファ101には第9図に示すRAM バッファ120と、第10図に示すシフト・マトリクス140が設けられている。第11図にはPLA 161, 162で実現された小片毎の付き合わせネット

ワーク103と補償サブセル発生器180が示されている。また、第9図には周期及びシステム・タイミング回路122も示されている。第8図は、第9図、第10図、及び、第11図に示す質向上回路421の制御に利用されるタイミング信号及び同期信号のうちの選択されたものを示したタイミング図である。

質向上回路421は文字発生器411とレーザ駆動回路391(第5図)の間に挿入された後処理回路ブロックである。質向上回路421は、あるページにプリントすべきドットを表す直列ビット・データ・ストリームVDOをターミナル・ブロック121のピン2で受信し、また同期信号BDをターミナル・ブロック121のピン1で受信する。同期信号BDはそのページにおける文字発生器411からの水平線に対応する、感光性ドラム上での各水平走査線の開始を指示するものである。質向上回路421は直列ビットデータ・ストリーム信号をレーザ駆動回路391に対し、ターミナル・ブロック121のピン4に出力する。質向上回路421は、文字発生回

路411からクロック信号を受け取るが、望ましい実施例では、そのタイミング・クロックは水晶発振器123及びラッチ125によって発生する。さらに、質向上回路421の機能をイネーブル/ディセーブルするのに用いられる信号ENがターミナル・ブロック121のピン3に入力される。RAM バッファ・ブロック120には4つのカウンタ122、124、126及び128、RAM130及び8桁Dフリップ・フロップ132から構成される。RAM バッファ・ブロック120は、1つのページ上の連続するドットラインを表わすデータを記憶することによって、FIFOバッファ101の第1の内部機能を実現する。4つのカウンタ122、124、126及び128はRAM130のためのアドレス・カウンタを形成する。BDの立下がり新しいラインの開始を示しており、従ってその時点でRAM用のアドレス・カウンタ122、124、126、128はBD信号の立下がりによってリセットされる。1つのP27入力ドットすなわちセルのデータ・ビットはRAM130中では1ビ

ットを占めるので、RAMアドレスはドット時間期間毎に1回インクリメントする。~~システム・~~クロックは、入力ビット・マップ・データ転送速度の8倍にあたるカウンタ122、124、126及び128を実現する。カウンタ122の<sup>下</sup>低位3ビットはアドレスには用いられず、後述のような他のシステムのタイミング機能に用いられる。RAMアドレスがインクリメントすると、新しいビット・マップ・データビットが~~メモリ~~に記憶される。第8図のシステム・タイミング図を参照すると、RAM130のアドレスは状態7-0の遷移時点<sup>下</sup>クロック信号102の立下がり<sup>下</sup>にインクリメントする。RAM書込みイネーブル信号104(WE)が高レベルであるので、RAM130はデータの読み出しを行なう。8桁Dフリップ・フロップ132の入力にはこのデータ及びライン129上の次のもの(VDOからの新しいドット・データ・ビット)が順次セットアップされる。状態2から3への遷移時には、シフト・マトリクス・ラッチ信号106(SHIFT)が~~立ち上~~がり、8桁Dフリップ・フロップは、ライン129



上の新しいデータ・ビットとRAM130のデータを記憶する。状態4、5の及び6の間、WE104は低いままであり、フリップ・フロップ132はそこに記憶しているデータをラインD0～D7に出力し、このデータは状態6から7の遷移時にRAM130に書き込まれる。第9図から分るように、新しいビット・マップデータのビットはフリップ・フロップ132の位置D0に記憶されるが、以前のD0、D1、D2、D3、D4、D5、及びD6の値はそれぞれD1、D2、D3、D4、D5、D6、及びD7に記憶され、以前のD7の値は廃棄される。このプロセスは、各アドレスのインクリメント毎に繰り返されるので、V00から送られてくる現在のライン（行）のビット・マップ・データはRAM130のD0ビット中にバッファされ、一方以前のD0ビット中の行はD1ビットに記憶され、D1ビット中の行はD2ビットに移行し、…といった形をとることがわかる。~~これは明らかである。~~こうして、1つのページの連続するラインを記憶する際、ビット・マップ・データの以前の7本のライ

ン（行）がD1～D7のビットに保持される。RAM130の所与のRAM130のアドレスについて、記憶される8つのビット（ビット・マップ・データ）は全て1つのページの同じカラムに納まる。RAMアドレスはBDの立下がりでリセットされ、各ドット時間期間毎に1回インクリメントする。データ・ビットは同様にして文字発生器から送り出される。つまり各ドット時間期間毎に1回、BDの立下がりの後、所定の時間をおいて開始される。従って、RAMアドレスはドット・カラム・アドレスであり、あるライン上の12番目のドットは他の任意のライン上の12番目のドットと同じカラム・アドレスを有する。

シフト・マトリクス・ブロック140はシフトレジスタ141～149から構成される。シフト・マトリクス・ブロック140の機能は、突き合わせネットワークPLA161、162がサンプル窓109（第6図）内の全てのデータ・ビットを並列信号ライン上で同時に利用できるようにすることである。望ましい実施例では、サンプル窓は49個のセルすなわち

データ・ビットから構成され、第6図に示すような形状をしている。中心セル111が、修正のための検査させるビットであり、残りの48個の周囲ビットはテンプレートとの突き合わせが行なわれるビット・パターンを形成している。サンプル窓109は、7本の連続したラインから、ビットの11本までの連続したカラムを含んでいる。RAMバッファ・ブロック120は、各RAMアドレスのインクリメントの後、7本の連続したラインから1カラム分のビット~~を~~か、ラインD1～D7上に出力しない。従って、シフト・マトリクス・ブロック140は、11本の連続したRAMバッファ・カラム出力からのビットを記憶し、また同時に出力しなければならない。状態7から0への遷移の際、RAMアドレス・カウンタがインクリメントし、RAM130によってラインD1～D7上に出力されるビットは、7本の連続した~~ライン~~ライン（行）上のビット（ビット・マップ・データ）である。D1～D7は~~は~~D7ビット・シフト・レジスタ141～147へ入力される。D3、D4及び114 D5は、それぞれシフト・レ

ジスタ148及び149に結合されたシフト・レジスタ143、144及び145にそれぞれ、付加的に3ビットの拡張が行なわれている。シフト・レジスタ141～149は7つの入力ビットをシフト・レジスタ141～149にシフトするFNLAP106によって、状態2から3への遷移の際、同時にクロックされる。各ドット時間時期毎に起る後続するアドレスのインクリメント及びレジスタのシフトにより、シフト・レジスタの並列出力上に、その直列入力に対応する中の連続したビットが現れる。シフト・マトリクスの出力（シフト・レジスタの並列出力）上に、7本の連続したラインからの連続したカラムのビットが現れるが、突き合わせネットワーク103中で検査されるサンプル窓109のビットは並列シフト・マトリクス出力のサブセットである。

シフト・マトリクス・ブロック140によって出力されるビットのサンプル窓109は、ページを横切って下方へ走査し、またそのページの各ビットは1つのドット期間にわたりサンプリング・マトリクスの中心にあり、取り得る修正に備えて検査

を受ける。

突き合わせネットワーク・ブロック160はPLAネットワーク161と162から構成されており、ビット・パターンをテンプレートと突き合わせる機能を実行し、一致を検出すると、適切な補償サブセルを発生するための信号を与える。

望ましい実施例では、1つのビットについて可能性のある出力修正（補償サブセル）は8つあり、これら修正のそれぞれは周囲のビット状態に関する組合わせパターンつまりは認識パターンの対応するセットを有している。PLA161及び162は真中心ビット（第6図に示す中心セル111）とシフト・マトリクス・ブロック140からのその周囲ビットを受信する。各認識パターンすなわちテンプレートは、PLA161、162の一方における積項によって検出され、特突の出力ビット修正（関連する補償サブセル）に対応する積項のセットがORされる。従って、シフト・マトリクス140によって出力されるサンプル窓のビット・パターンとテンプレートが一致する度に、PLA161、162の一方の中の積

項がアクティブになり、対応するOR出力が項となって8通りのビット修正のうちどれを実行すべきかが指示される。

認識パターンを検出するために望ましい実施例で使用されているPLA 161、162には、埋め合わせを必要とするようないくつかの物理的制限を有している。各デバイスへの最大許容入力数は36であり、ビット修正の選択のためまとめてORすることができる積項（従って認識パターン）の最大数は8である。しかしながら、認識パターンの全てを検出するには49個のビットを検査しなければならない。起こり得るビット修正の選択のためまとめてORする必要のある積項の数は24を超えることがあるかもしれない。この入力数の制限を克服するため、49のビット・サンプル窓109を、協同して全ての認識パターンすなわちテンプレートを検出することのできる2つのより小さな窓に分割することができる。各PLA 161、162の入力ピンのうちの24本は、実際には入力／出力マクロセル・ピンである。従って、各修正の事例につい

てマイクロセルがセット積項の合計（OR）をラッチしている間に、サンプル窓の入力を与える必要があり、次にマイクロセルが結果を出力している間は、サンプル窓の入力（シフト・マトリクス・ブロック140の出力）をデイスエーブルしなければならない。各マクロセルの出力は8つの積項をORできるだけなので、出力修正の事例を検出するのに充分なだけの積項（テンプレート）を合計す

する必要がある。

状態1、2及び3の間、シフト・マトリクス出力のイネーブル信号108(SMOE)は低レベルであり、シフト・レジスタ141～149からのシフト・マトリクス・ブロック140の出力をイネーブルする。PLA161、162の積項は、8個以下の要請のサブセットに分けてORされる認識パターンを検出する。これらのサブセットは、認識ラッチ信号112(RECLAT)が立ち上がる状態2から状態3への遷移時に、マイクロセルによってラッチされる。状態4、5、6及び7の間、SMOE108は高レベルであってシフト・マトリクス・ブロック140の出力がデイスエーブルされ、認識出力イネーブル信号110(RECOE)は低レベルであり、これにより、サブセットのマイクロセル出力がイネーブルされる。これらイネーブルされたマイクロセルの出力は、ここで、入力として動作するPLAにフィードバックされる。ビット出力の修正の事例を検出する認識パターンの8つの完全なセットをチェックするため、サブセット・マイクロセルがORされる。認識パターン

が検出された場合、RECLAT112 が、状態5から6への遷移時に、もう1度立ち上がる際、対応するビット修正の事例がアクティブになる。ラインL20、R20、L80、R80、V20、V40、V60、V80上の8通りの可能なビット修正の事例は、第7図に示す121～135によって表わされた補償サブセルに対応する。補償サブセル発生器ブロックには、8桁Dフリップフロップ回路181、PLA183、排他的OR回路185及び187、及びD型フリップフロップ189及び191が設けられる。補償サブセル発生器は、レーザ駆動回路391に対し修正ビット・マップ・データを与える。サンプル窓109の中心ビット111及びその周囲のビットが認識パターンすなわちテンプレートに一致すると、ラインL20～V80の対応するビット修正事例の出力がアクティブになり、補償サブセル発生器は突き合わせネットワークによって選択される特定の補正サブセルに対応した、所定の16ビット・パルス・パターンを出力する。一致の検出されない場合には、ラインL20～V80は全て非アクティブとなり、中心ビッ

ト111は、修正を受けないで、ライン182によって、出力ライン188及び190に結合され、レーザは全ドット時間期間にわたってオンまたはオフになる。

PLA181は、8桁フリップ・フロップとして、全ドット時間期間にわたってラインL20～V80へのビット修正事例の出力を保持するようにプログラムされる。PLA181は、状態7から0への遷移の際、ラインL20～V80を保持するが、認識PLA161、162の出力はまだアクティブである。

フリップ・フロップ回路125は、50%のデューティ・サイクルを有する。真及び否定の(2相)クロック信号であるCLK及び/CLKを出力する。このクロック信号は、ビット・マップ・データ信号VDOのレートの8倍である。CLKと/CLKの両方の立上がりを利用して、回路の出力状態を変化させると、ドット時間期間当り16の個別の時間期間が得られる。ライン188及び190での出力信号はレーザに対するデューティ・サイクル変調信号を構成し、16ビットの出力シーケンスにおいて、

各ビットは、PLA183中で実現される論理式によって制御される(高または低)。PLA183は、L20～V80の状態によって選択された出力パルス・パターンに関するビットを出力する。16ビット・パターンは連続するビット(夫々VDOA、VDOB)の対が8個連続したものとして出力される。すなわち、VDOAとVDOBは同時に出力されるがVDOBはVDOAの次に続くビットの値である。カウンタ122によって出力される3つの下位ビット114(a0)、116(a1)及び118(a2)の状態によって、どのビット対を出力すべきかが指示される。PLA183はビット・マップ・データ・レートの8倍の速度でVDOA及びVDOBを同時に出力する。排他的ORゲート185、187及びフリップ・フロップ189・191から構成される回路の残りの部分によって、これらの出力はビット・マップ・データ・レートの16倍の速度で定まる所要の出力シーケンスに変換される。

クロック102の立上りの後、D型フリップ・フロップ189の入力にデータがクロック102の立上りの後、D型フリップ・フロップ189の入力に

データがセットアップされる。このデータは、フリップ・フロップ191のライン190上の出力であるEVD0B信号と共に排他的ORされたPLA183の出力であるVDOAC(/CLKの立上りに出力されるべき次のビット)である。この排他的OR演算は、グレイ・コード生成のためのデータ・コード化である。VDOAC/CLKの立上がりにおいて、ライン198上のフリップ・フロップ出力であるこのデータ、EVD0A信号がラッチされる。EVD0A信号及びEVD0B信号は、PLA127中で排他的ORされ(グレイ・コード化)、ターミナル・ブロック121のピン4に次のビットの出力信号Voutを与える。フリップ・フロップ191及びライン190のEVD0B信号は、EVD0BがCLK102の立上りにラッチされる点を除けば同様に機能し、後続のビット出力を生じさせる。出力ビットのグレイ・コード化によって、同じ状態の2つの連続したビット間で出力にグリッチが生じないように保証される。PLA127は、システムのタイミング図に示し、また上で説明したタイミング信号を発生する。同期及びシステム・タイミング回

路ブロックである。3つの低位ビットa0、a1、a2、すなわち114、116、118は、それぞれシステムのタイミング状態を定義する。同期及びシステム・タイミング回路ブロック127のその他の機能には、入力直列データ信号VDOを同期させて、文字発生器のクロックと質向上回路のクロック（水晶発振器123）との位相差を補償することが含まれる。ターミナルポート121のピン3におけるEN入力が高レベルの場合、ピン4のVoutは上述のようにEVD0Bと排他的ORされるEVD0Aと等しい。ENが低レベルの場合には、質向上機能がディスエーブルされ、VoutはVDOに等しくなる。

特に、望ましい実施例に関連して本発明を図示し、説明してきたが、当該技術の熟練者には明らかなように、本発明の精神及び範囲を逸脱することなく、その形態及び細部について、既述の及びそれ以外の変更を加えることができる。

〔発明の効果〕

以上詳細に説明したように、本発明により表示等の品質を簡単かつ大幅に向上することができる。

#### 4. 図面の簡単な説明

第1A図は典型的な電子写真式プリンタの主要部のブロック図、

第1B図は第1A図に示す電子写真式プリンタ中で用いられる固体レーザ及びその周辺を説明する図、

第1C図は第1A図に示す電子写真式プリンタ中で用いられる感光性ドラム上への書き込みプロセスを説明する図、

第2図ないし第4図は本発明の実施例におけるテンプレートおよびその使用を説明する図、

第5図は本発明の実施例のブロック図、

第6A図および第6B図は本発明の実施例中の主要部を説明するブロック図、

第7図は補償サブセルを説明する図、

第8図は本発明の実施例中の主要信号のタイミング図、

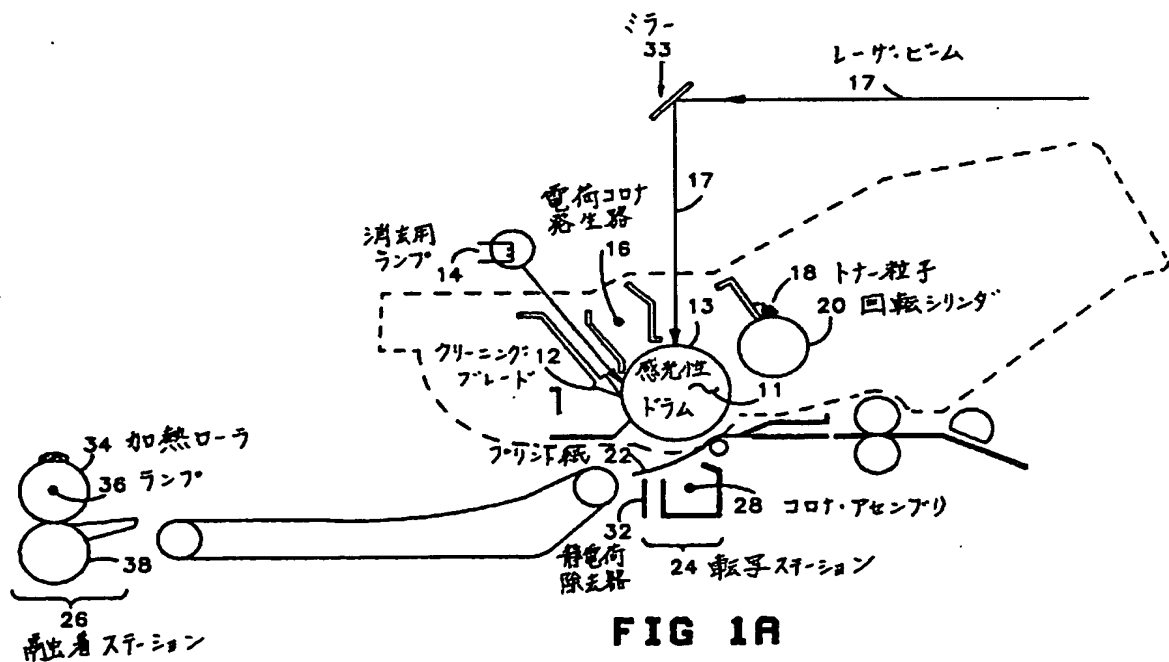
第9A図ないし第9C図、第10A図及び第10B図、及び、第11A図及び第11B図は本発明の実施例の主要部の回路図である。

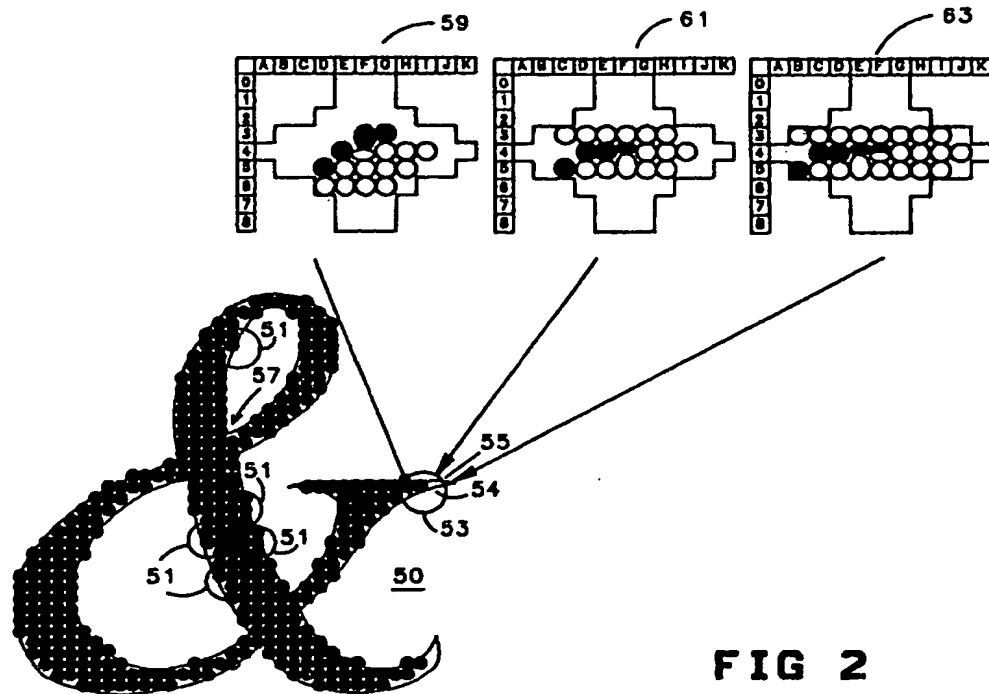
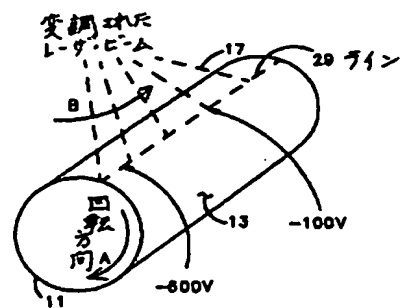
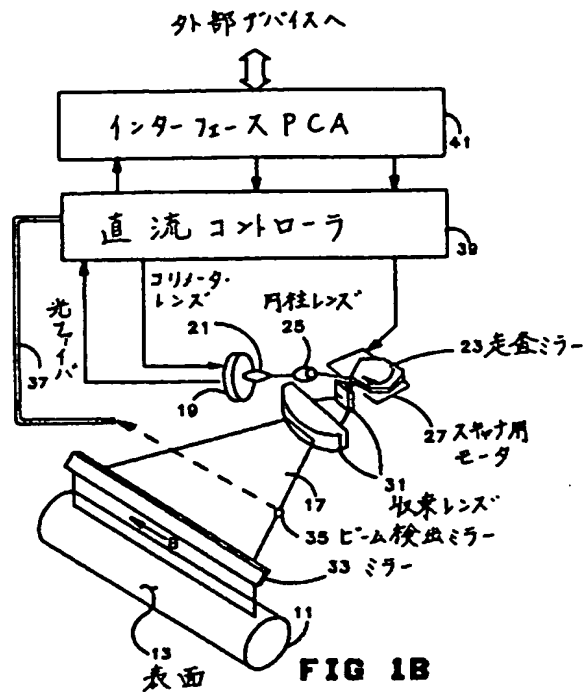
11：感光性ドラム  
12：クリーニング・ブレード  
13：表面  
14：消去用ランプ  
16：電荷コロナ発生器  
17：レーザ・ビーム  
18：トナー粒子  
19：固体レーザ  
20：回転シリンダ  
21：コリメータ・レンズ  
22：プリント紙  
23：走査ミラー  
24：転写ステーション  
25：円柱レンズ  
26：融着ステーション  
27：スキュナ用モータ  
28：コロナ・アセンブリ  
31：収束レンズ  
32：静電荷除去器  
33：ミラー

34：加熱ローラ  
35：ビーム検出ミラー  
36：ランプ  
37：光ファイバ  
39：直流コントローラ  
41：インターフェースPCA  
101：PIFOバッファ  
103：突き合わせネットワーク  
105：補償サブセル発生器  
109：サンプル窓  
111：中心セル  
121、123、125、127、129、131、133、135：  
補償サブセル  
391：レーザ駆動回路  
411：文字発生器  
413：CPU  
415：ROM  
417：NVRAM  
419：SRAM  
421：質向上回路

- 423 : アドレス・コントローラ
- 425 : DRAM
- 427 : ビット・シフタ
- 429 : タイミング・コントローラ
- 431 : 外部デバイス
- 433 : プリンタ制御パネル
- 435, 437 : フォント・カートリッジ
- 439 : フォント・カートリッジ・インターフェース
- 441 : 文字発生器
- 443 : I/O コントローラ
- 445 : パラレル・インターフェース

出願人 ヒューレット・パッカード・カンパニー  
 代理人 弁理士 長谷川 次男





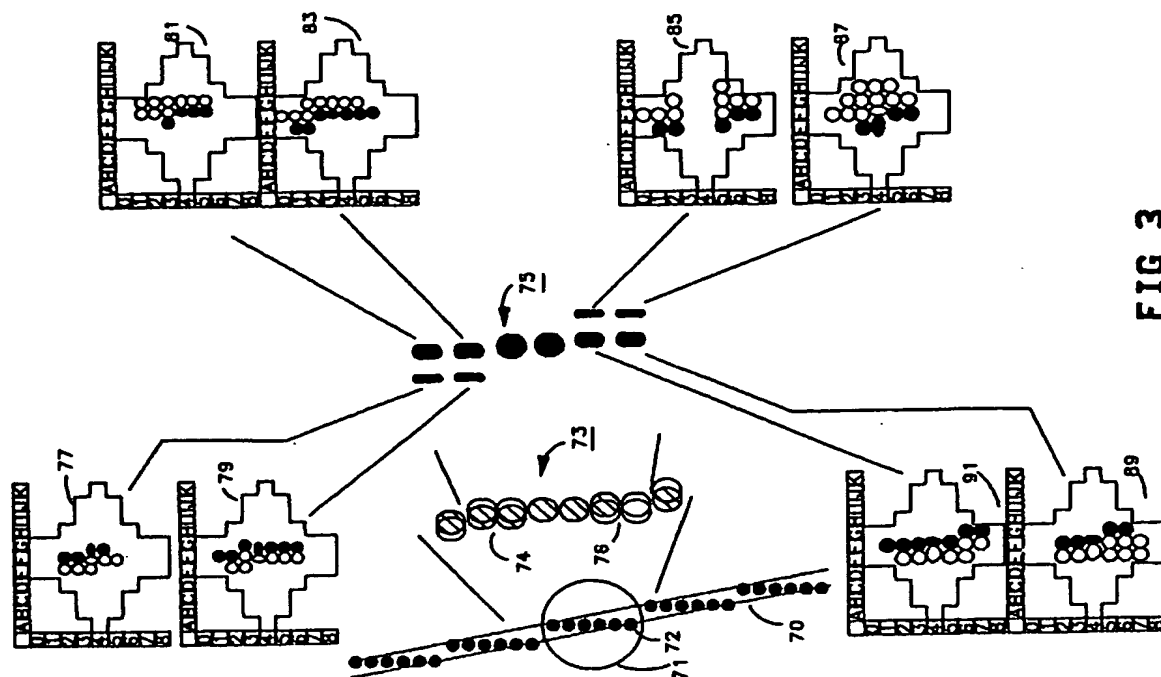


FIG 3

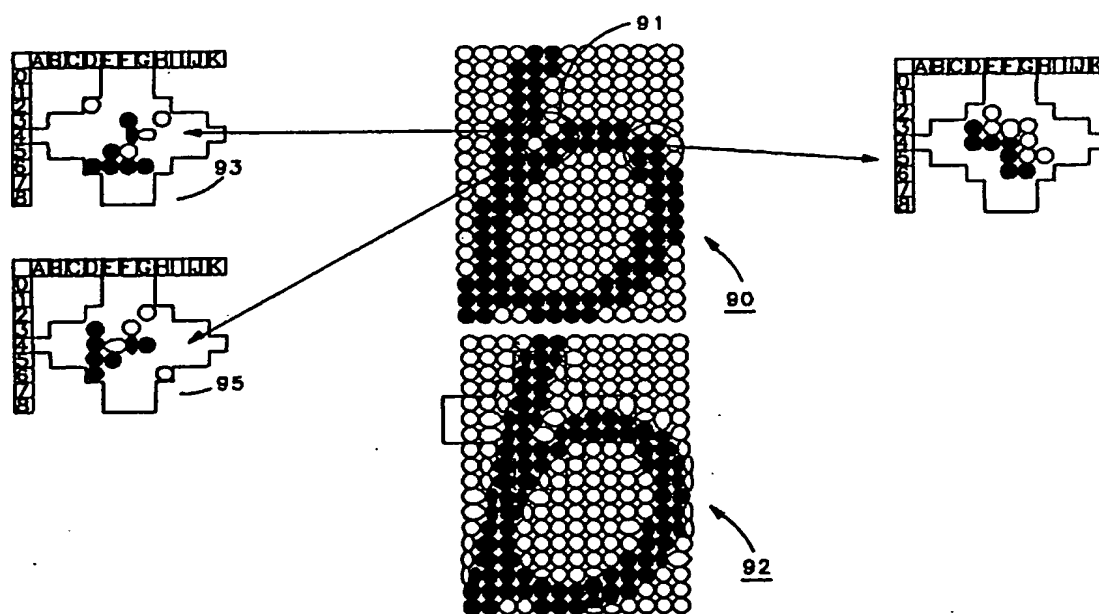


FIG 4

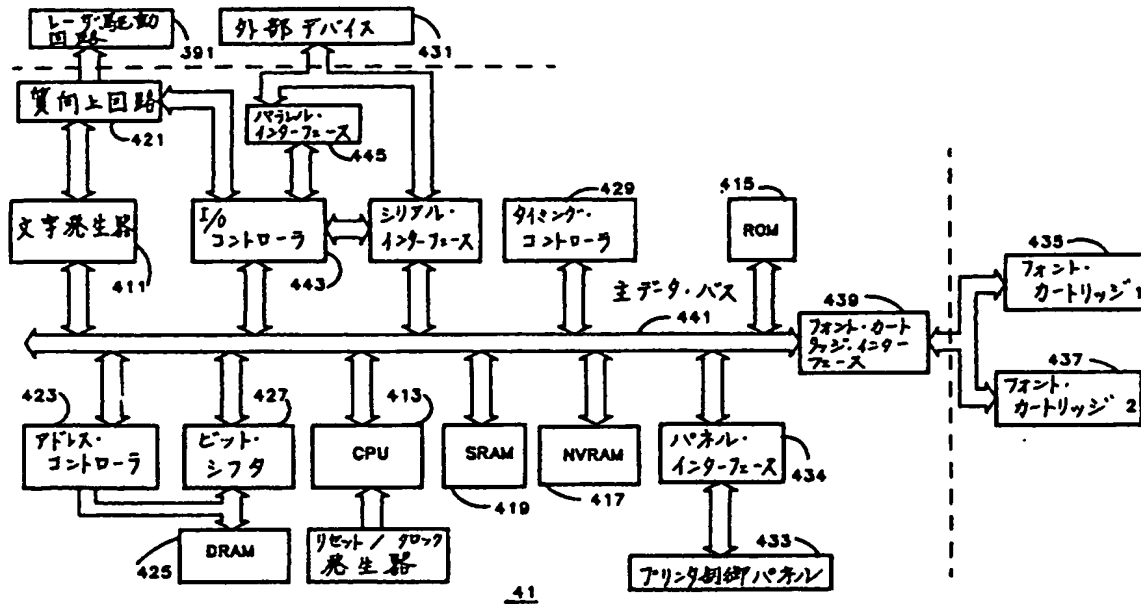


FIG 5

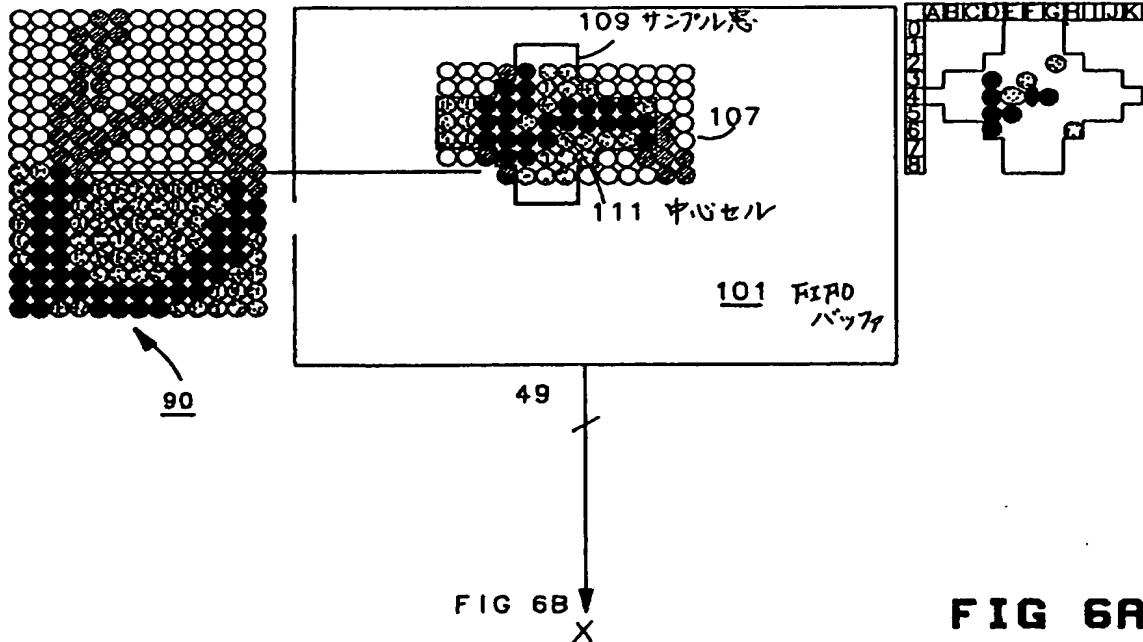
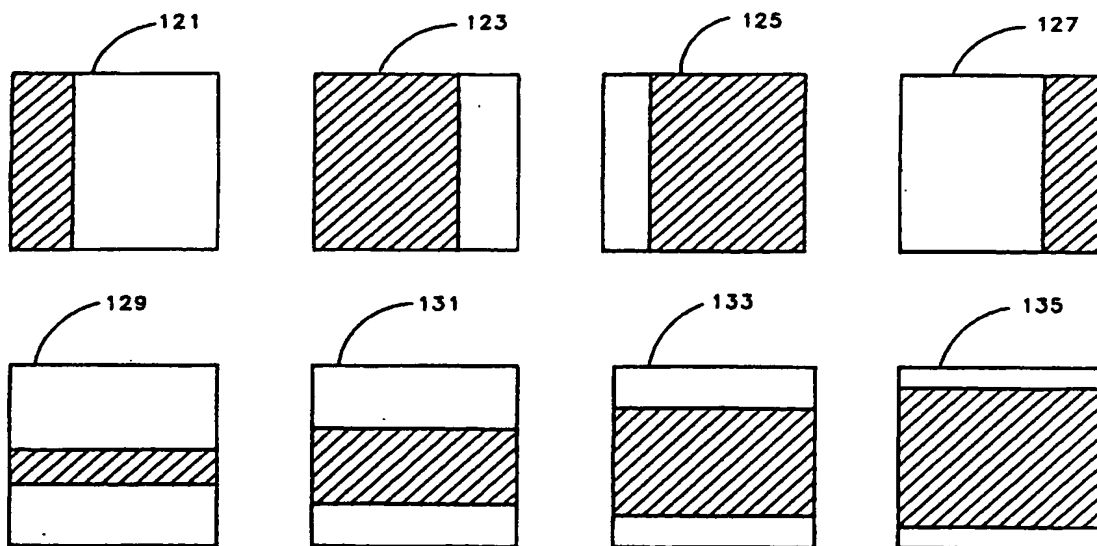
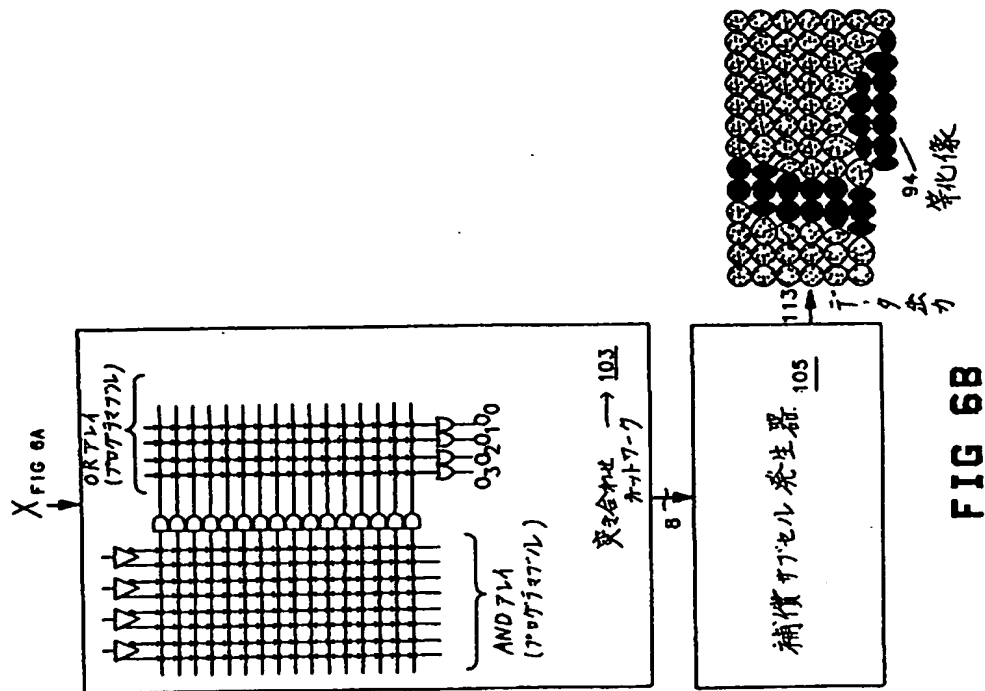


FIG 6B

FIG 6A





**FIG 7**

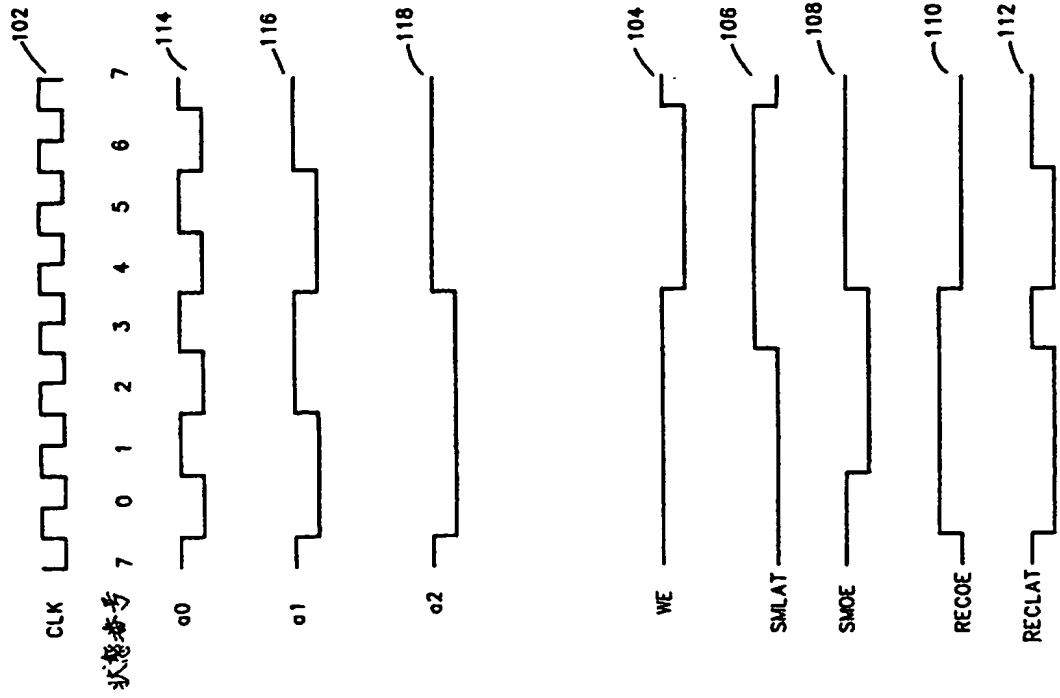


FIG 8

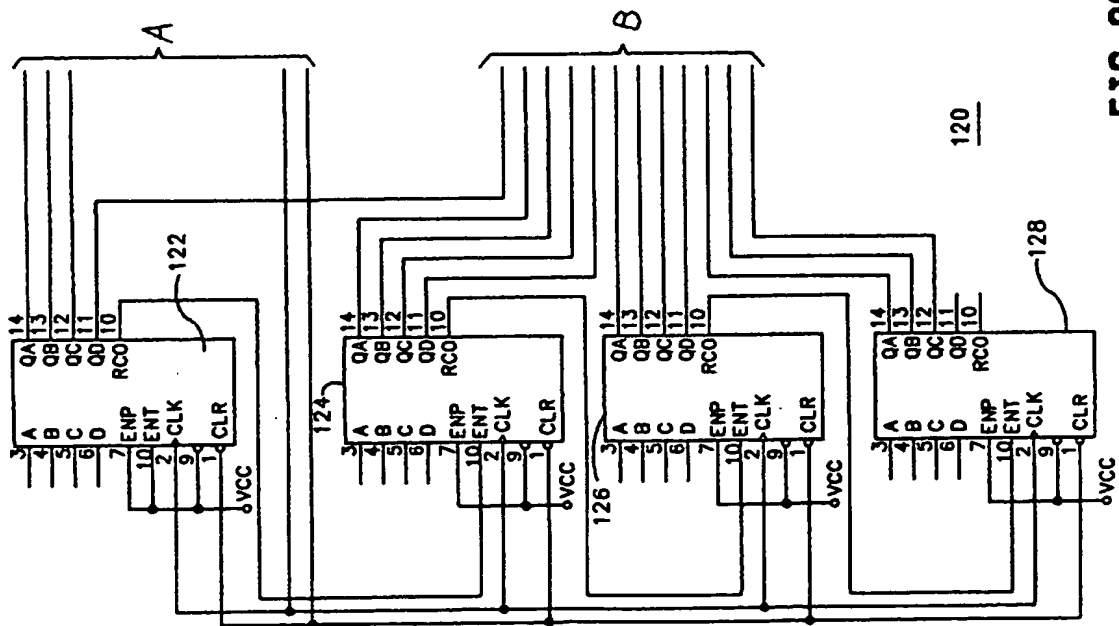


FIG 9A

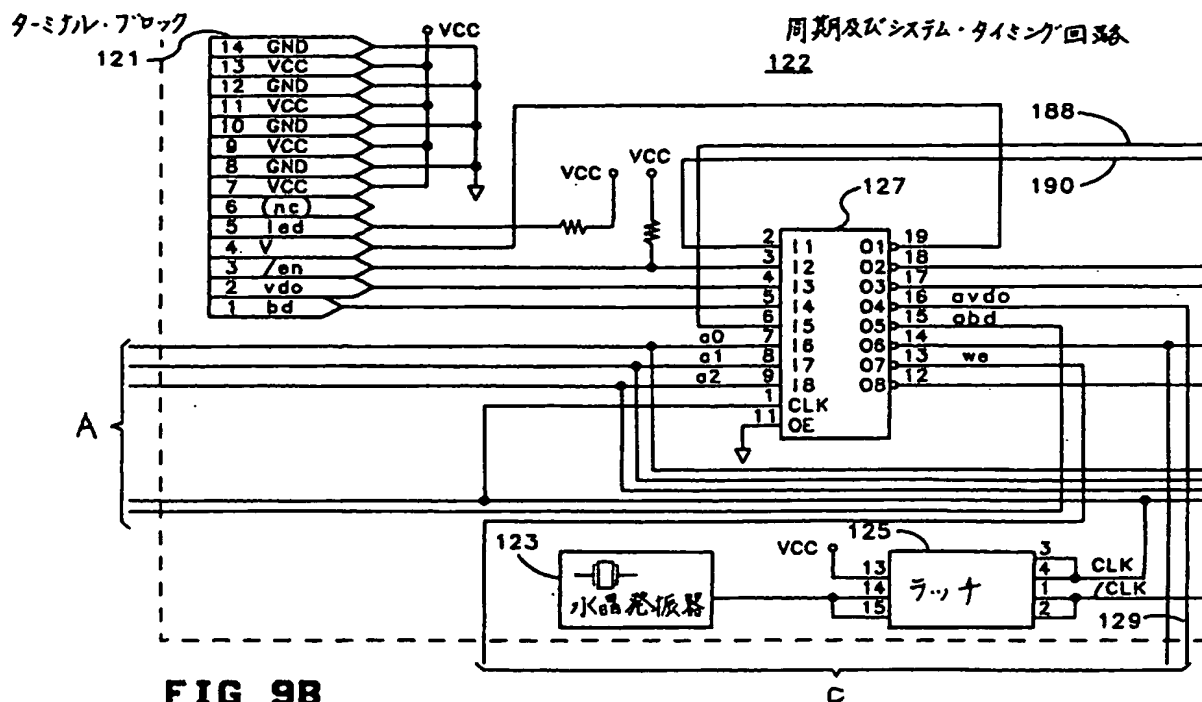


FIG 9B

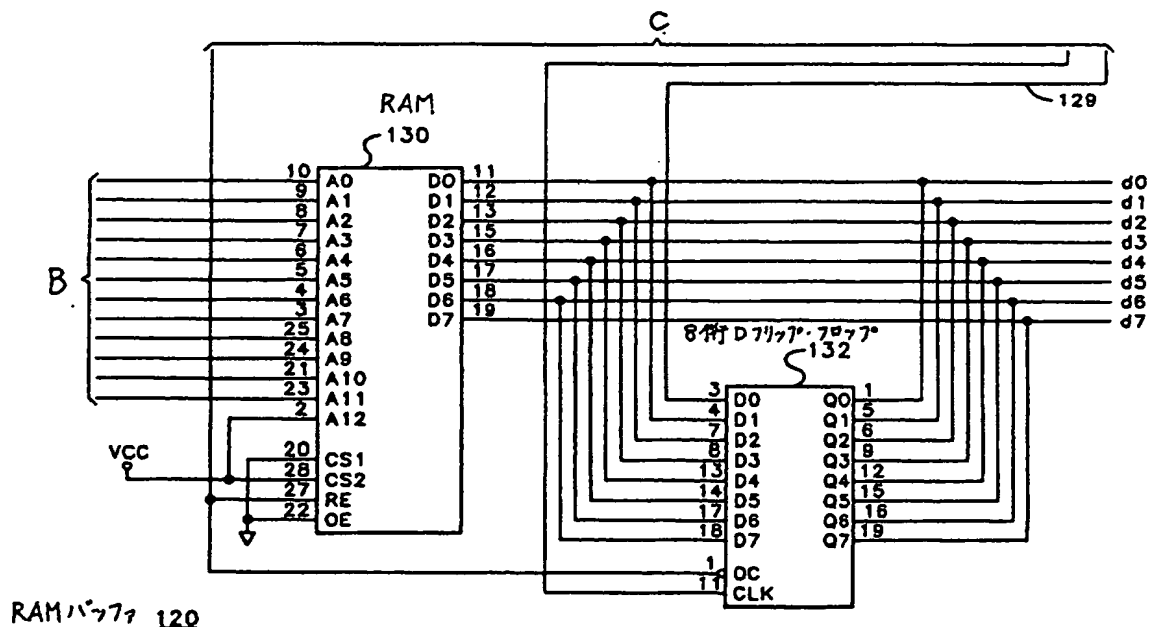


FIG 9C

